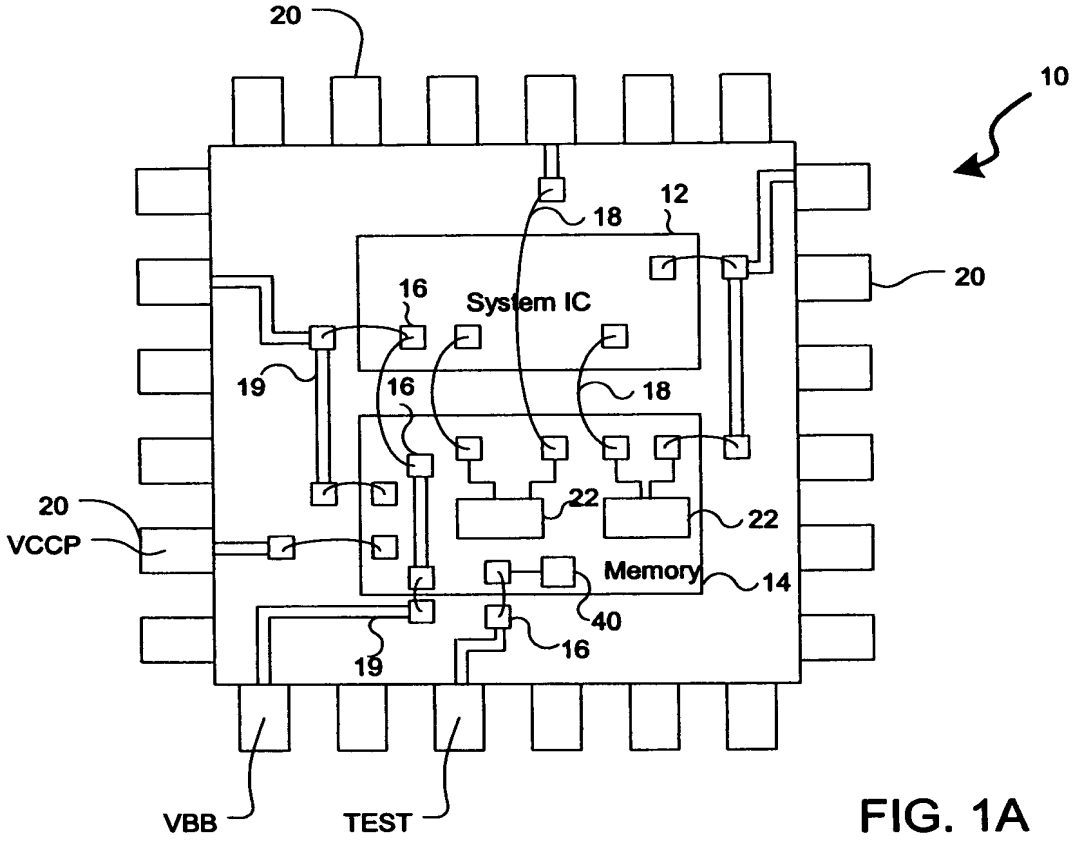

20
10
18
12
20
16
System IC
19
16
18
20
VCCP
22
22
Memory
14
40
16
19
VBB
TEST

FIG. 1A

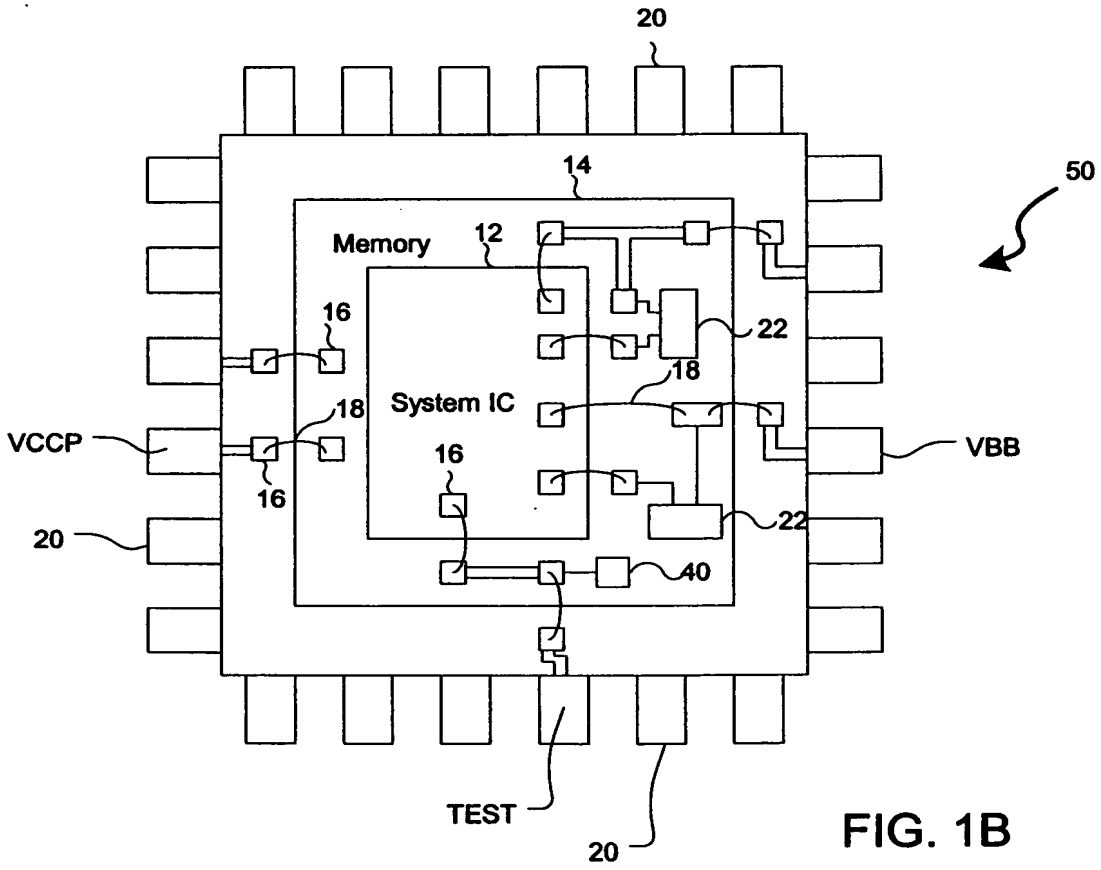

20
14
50
Memory
12
16
22
18
18
System IC
VCCP
VBB
16
16
20
22
40
TEST
20

FIG. 1B

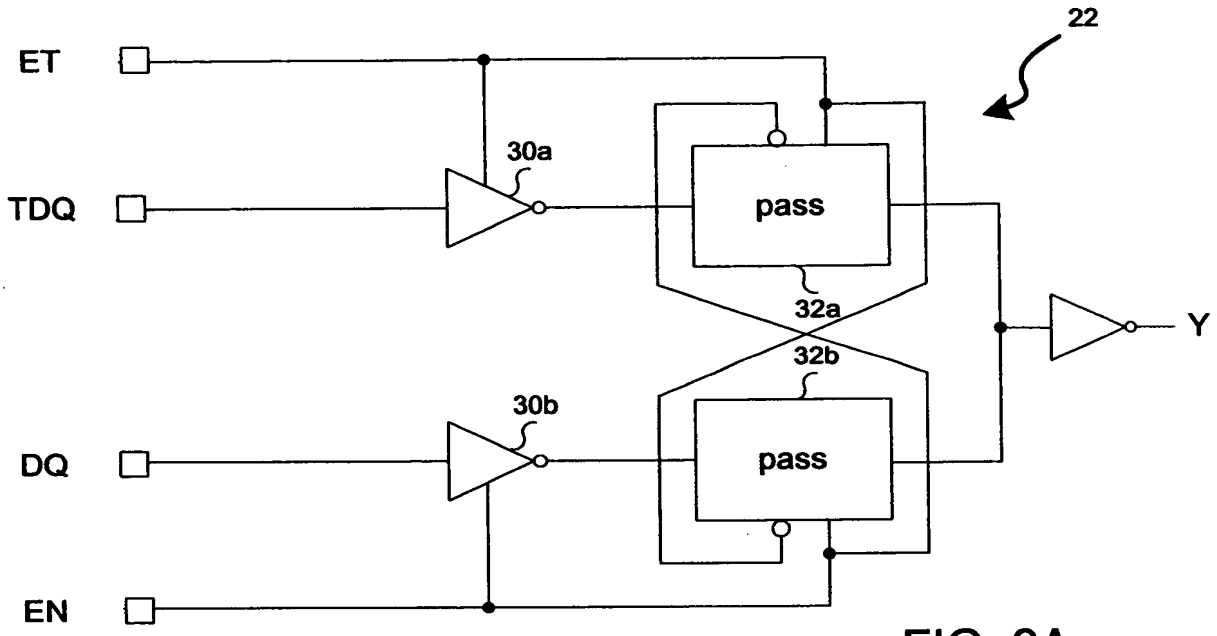

22
ET
TDQ
30a
pass
32a
32b
30b
pass
DQ
EN
Y

FIG. 2A

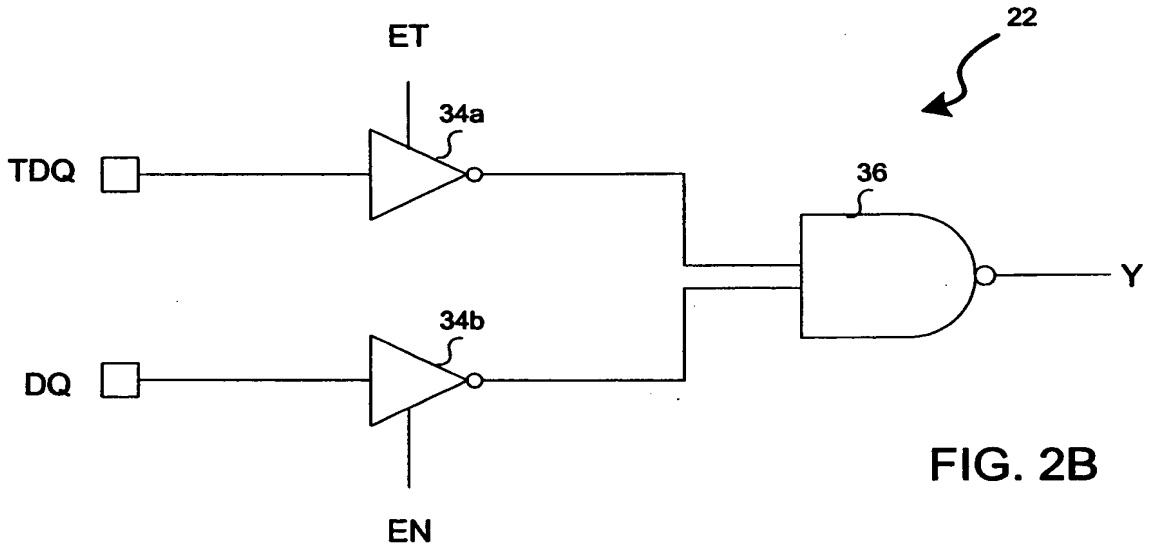

22
ET
34a
TDQ
36
Y
34b
DQ
EN

FIG. 2B

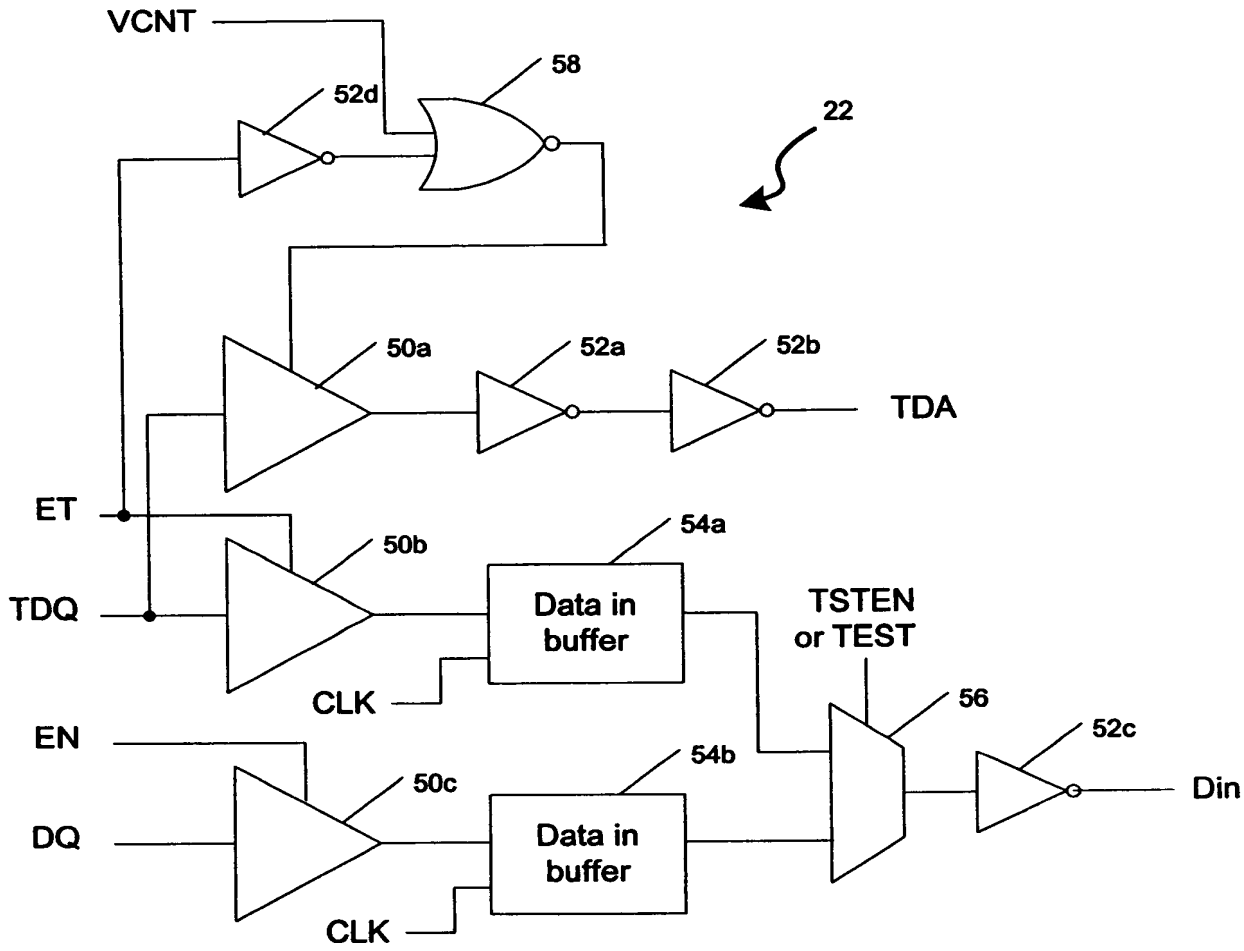

VCNT
58
52d
22
50a
52a
52b
TDA
ET
50b
54a
TDQ
Data in buffer
TSTEN or TEST
CLK
56
52c
EN
54b
50c
Din
DQ
Data in buffer
CLK

FIG. 2C

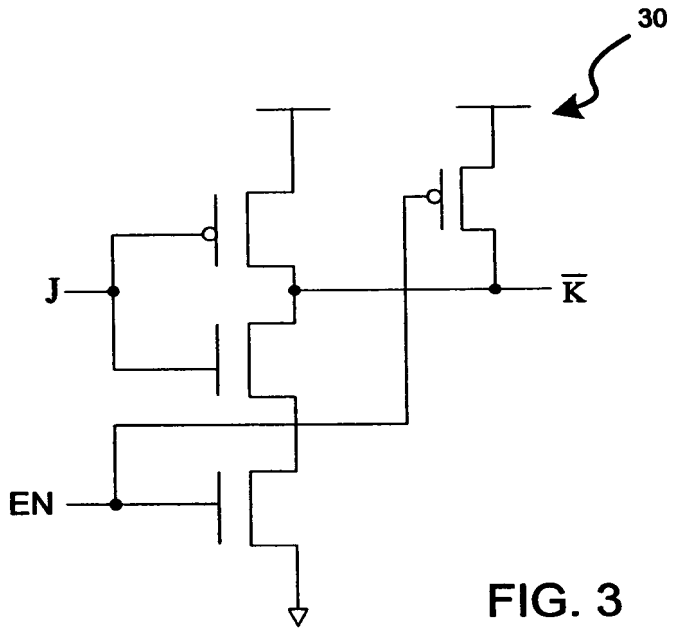


FIG. 3

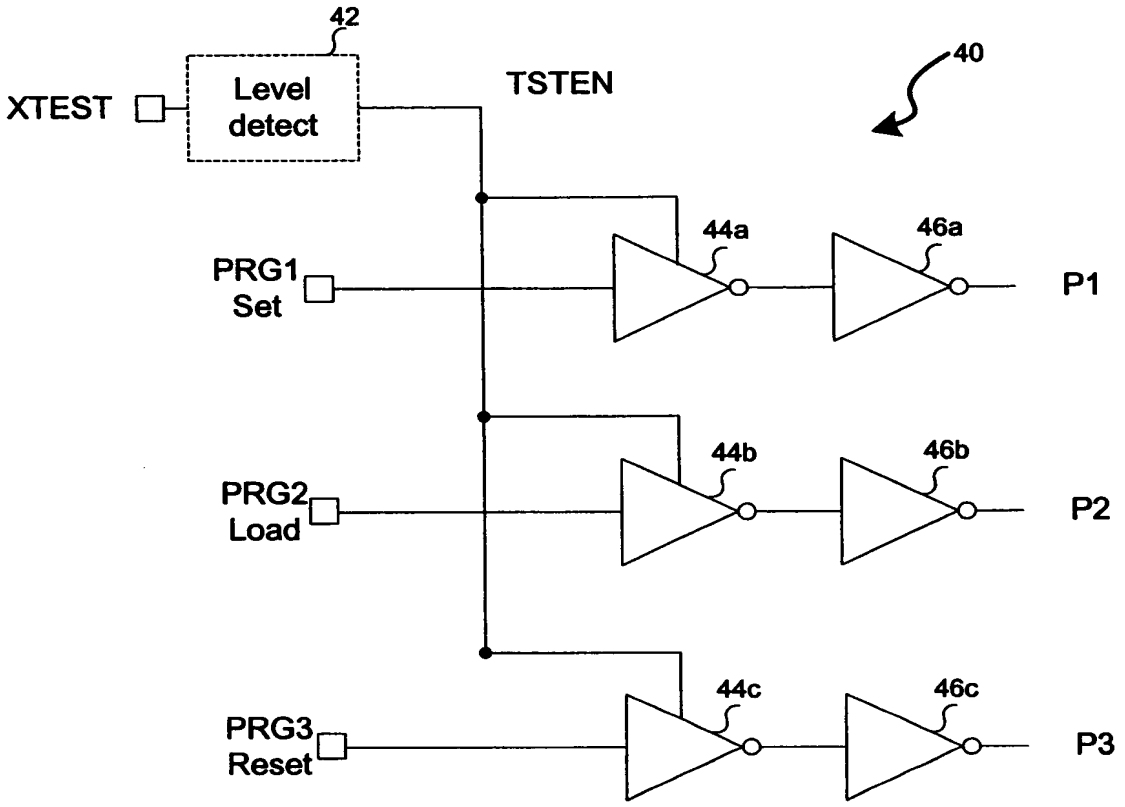

42
XTEST
Level detect
TSTEN
40
44a
46a
PRG1 Set
P1
44b
46b
PRG2 Load
P2
44c
46c
PRG3 Reset
P3

FIG. 4

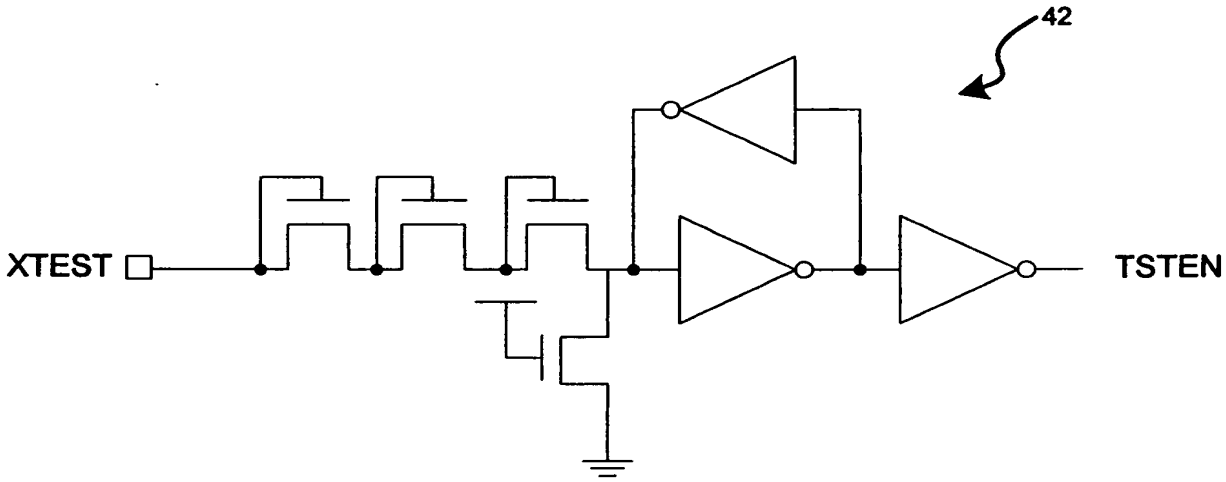

42
XTEST
TSTEN

FIG. 5

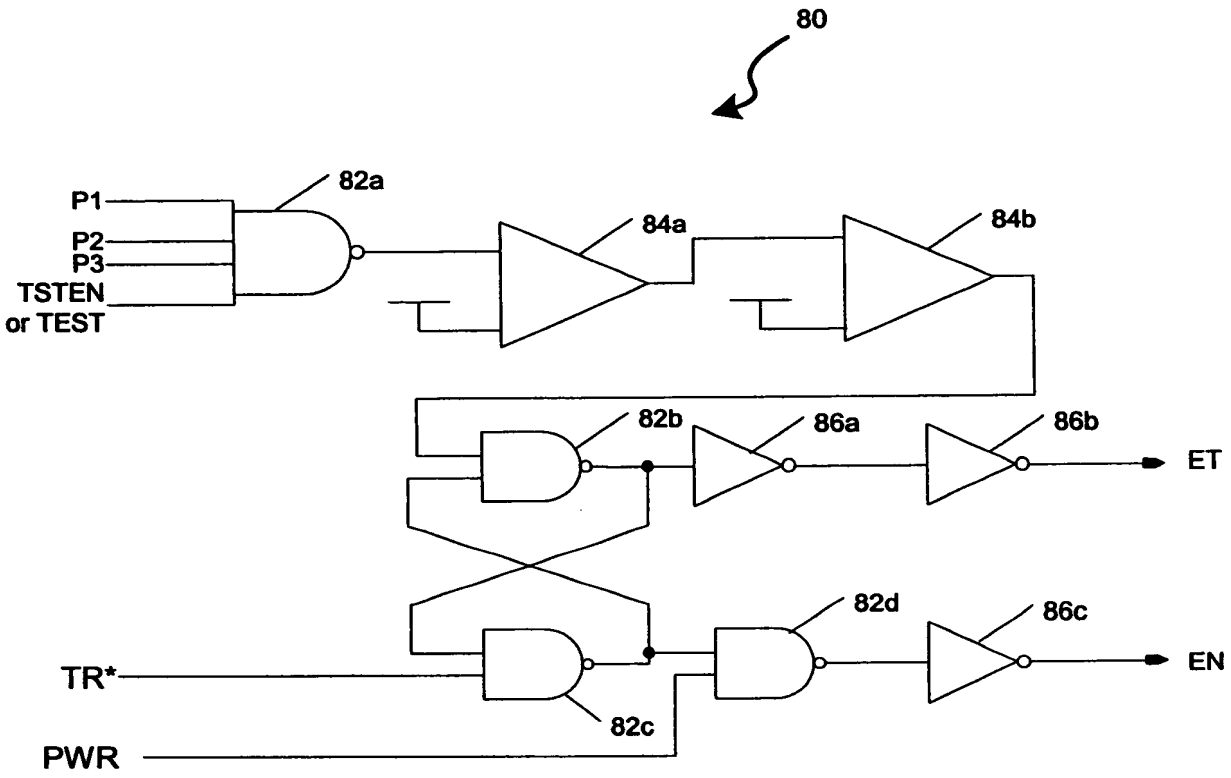

80
P1
P2
P3
TSTEN
or TEST
82a
84a
84b
82b
86a
86b
ET
82d
86c
EN
TR*
82c
PWR

FIG. 6

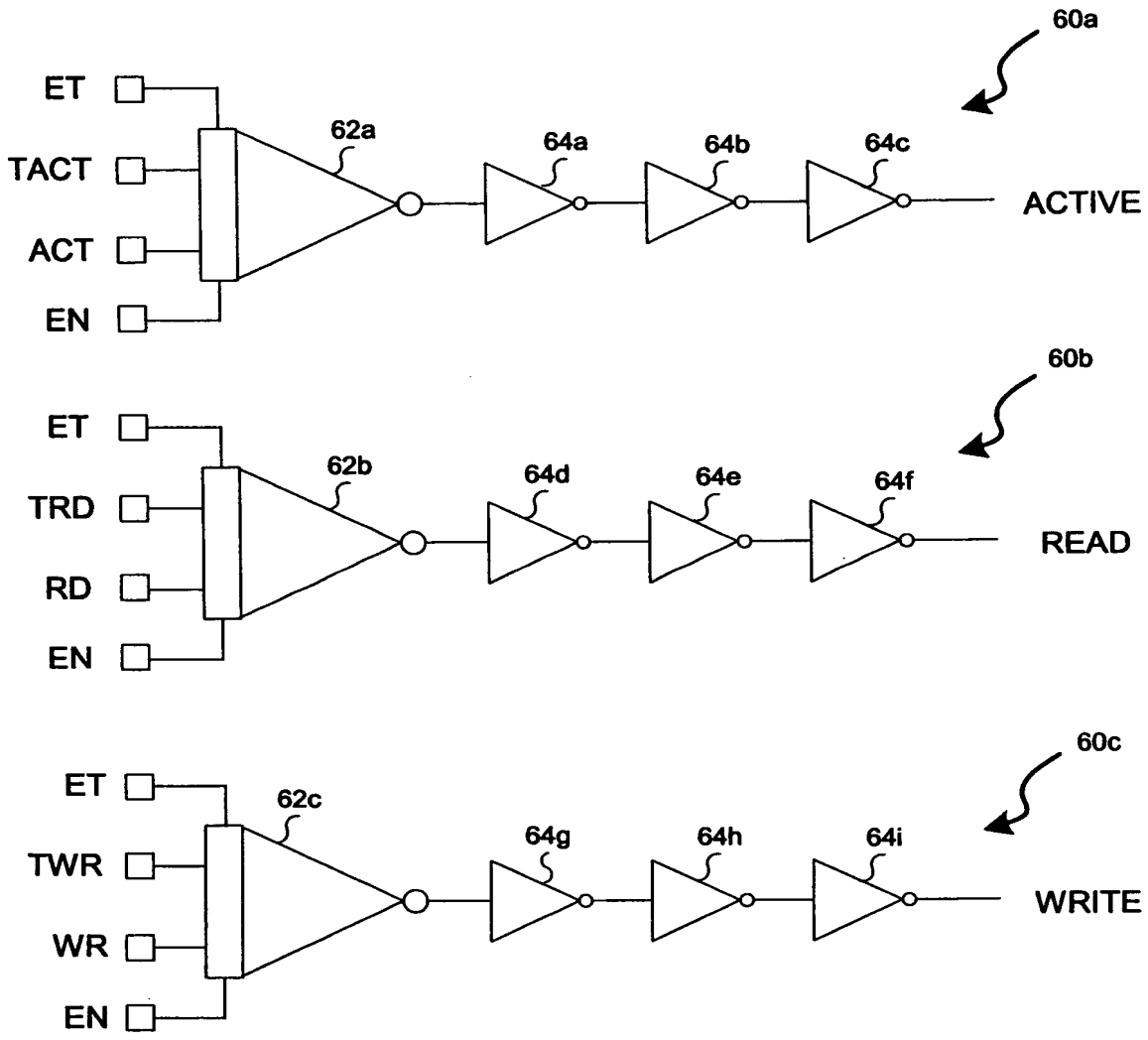

60a
ET
TACT
ACT
EN
62a
64a
64b
64c
ACTIVE
60b
ET
TRD
RD
EN
62b
64d
64e
64f
READ
60c
ET
TWR
WR
EN
62c
64g
64h
64i
WRITE

FIG. 7

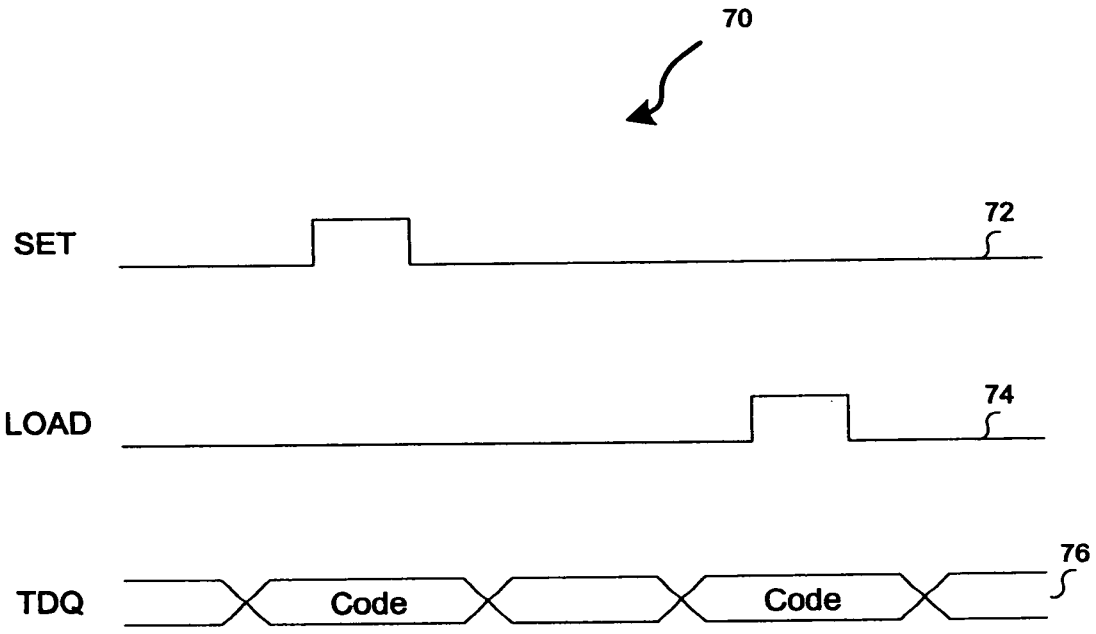


FIG. 8

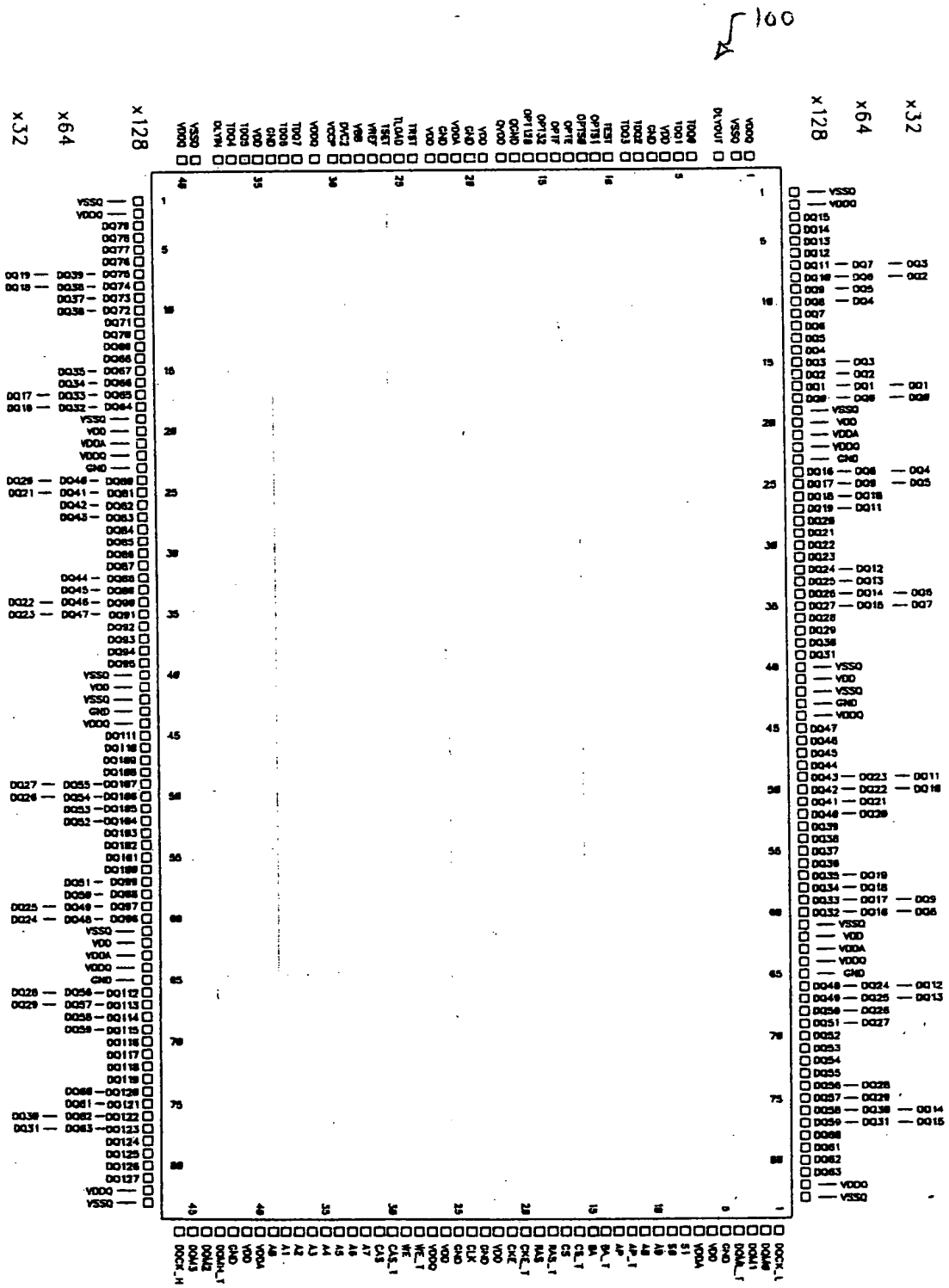


FIG. 9A

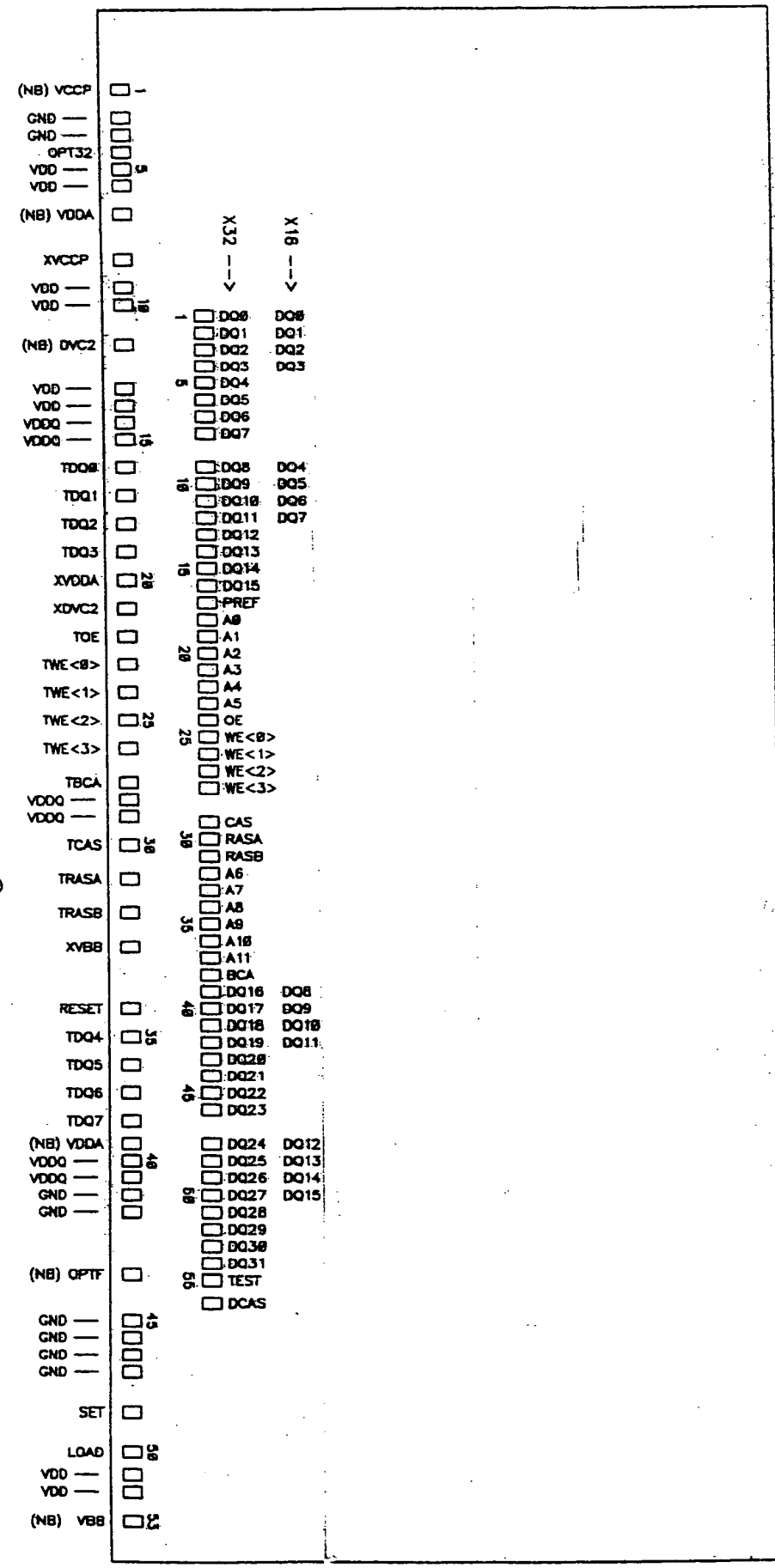

(NB) VCCP
GND
GND
OPT32
VDD
VDD
(NB) VDDA
XVCCP
VDD
VDD
(NB) DVC2
VDD
VDD
VDDQ
VDDQ
TDQ0
TDQ1
TDQ2
TDQ3
XVDDA
XDVC2
TOE
TWE<0>
TWE<1>
TWE<2>
TWE<3>
TBCA
VDDQ
VDDQ
TCAS
TRASA
TRASB
XVBB
RESET
TDQ4
TDQ5
TDQ6
TDQ7
(NB) VDDA
VDDQ
VDDQ
GND
GND
(NB) OPTF
GND
GND
GND
GND
SET
LOAD
VDD
VDD
(NB) VBB
X32 --->
X16 --->
DQ0 DQ0
DQ1 DQ1
DQ2 DQ2
DQ3 DQ3
DQ4
DQ5
DQ6
DQ7
DQ8 DQ4
DQ9 DQ5
DQ10 DQ6
DQ11 DQ7
DQ12
DQ13
DQ14
DQ15
PREF
A0
A1
A2
A3
A4
A5
OE
WE<0>
WE<1>
WE<2>
WE<3>
CAS
RASA
RASB
A6
A7
A8
A9
A10
A11
BCA
DQ16 DQ8
DQ17 DQ9
DQ18 DQ10
DQ19 DQ11
DQ20
DQ21
DQ22
DQ23
DQ24 DQ12
DQ25 DQ13
DQ26 DQ14
DQ27 DQ15
DQ28
DQ29
DQ30
DQ31
TEST
DCAS

FIG. 9B

200

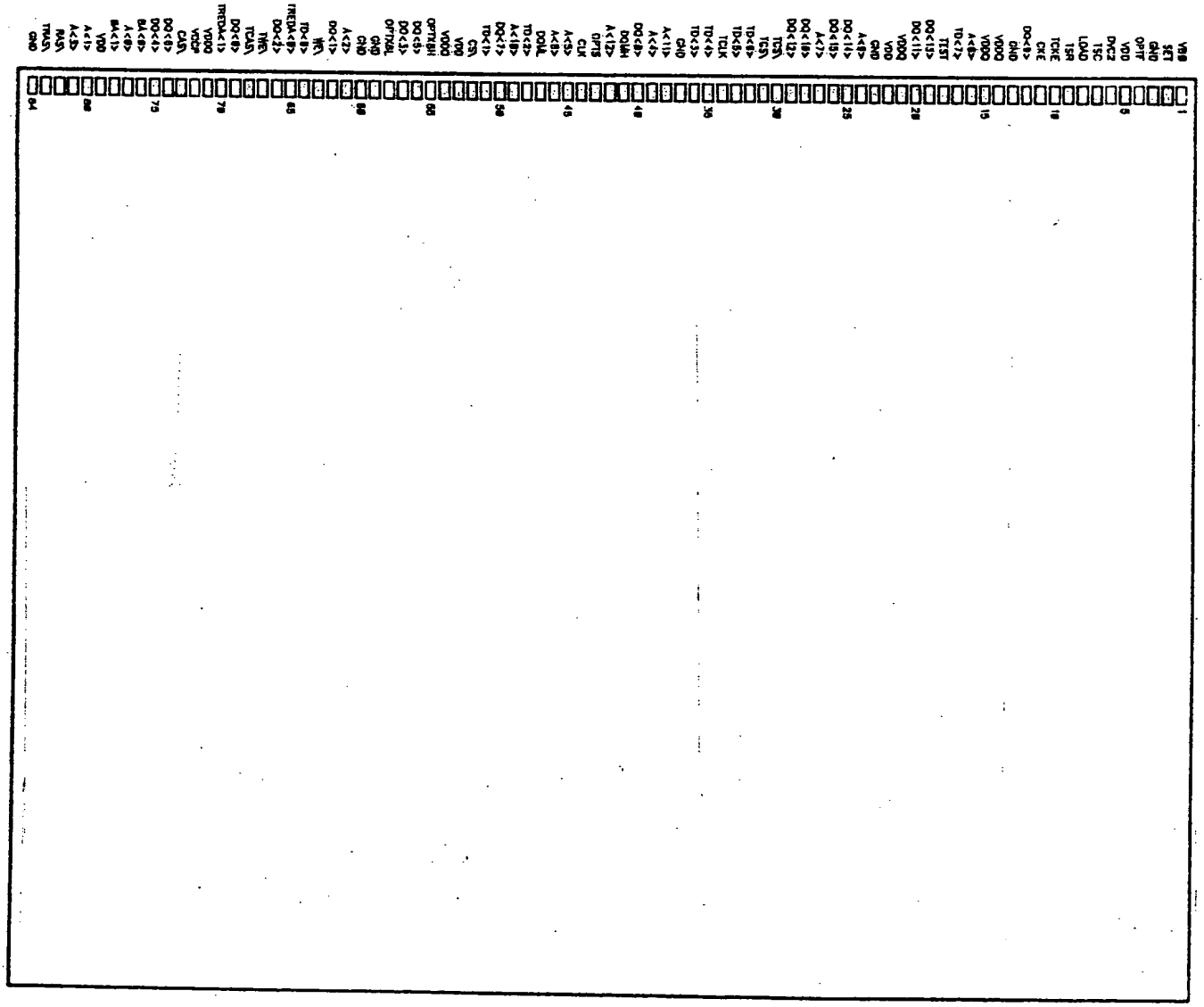
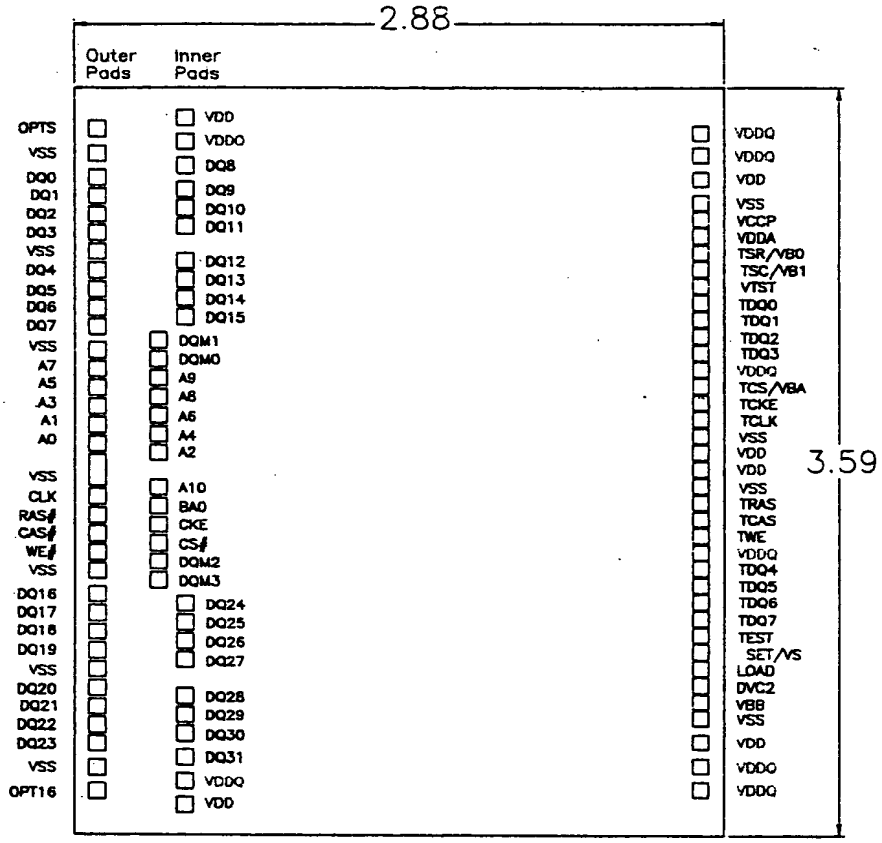


FIG. 9C


2.88
Outer Pads
Inner Pads
OPTS
VSS
DQ0
DQ1
DQ2
DQ3
VSS
DQ4
DQ5
DQ6
DQ7
VSS
A7
A5
A3
A1
A0
VSS
CLK
RAS#
CAS#
WE#
VSS
DQ16
DQ17
DQ18
DQ19
VSS
DQ20
DQ21
DQ22
DQ23
VSS
OPT16
VDD
VDDQ
DQ8
DQ9
DQ10
DQ11
DQ12
DQ13
DQ14
DQ15
DQM1
DQM0
A9
A8
A6
A4
A2
A10
BA0
CKE
CS#
DQM2
DQM3
DQ24
DQ25
DQ26
DQ27
DQ28
DQ29
DQ30
DQ31
VDDQ
VDD
VDDQ
VDDQ
VDD
VSS
VCCP
VDDA
TSR/VB0
TSC/VB1
VTST
TDQ0
TDQ1
TDQ2
TDQ3
VDDQ
TCS/VBA
TCKE
TCLK
VSS
VDD
VDD
VSS
TRAS
TCAS
TWE
VDDQ
TDQ4
TDQ5
TDQ6
TDQ7
TEST
SET/VS
LOAD
DVC2
VBB
VSS
VDD
VDDQ
VDDQ
3.59

400

FIG. 9D

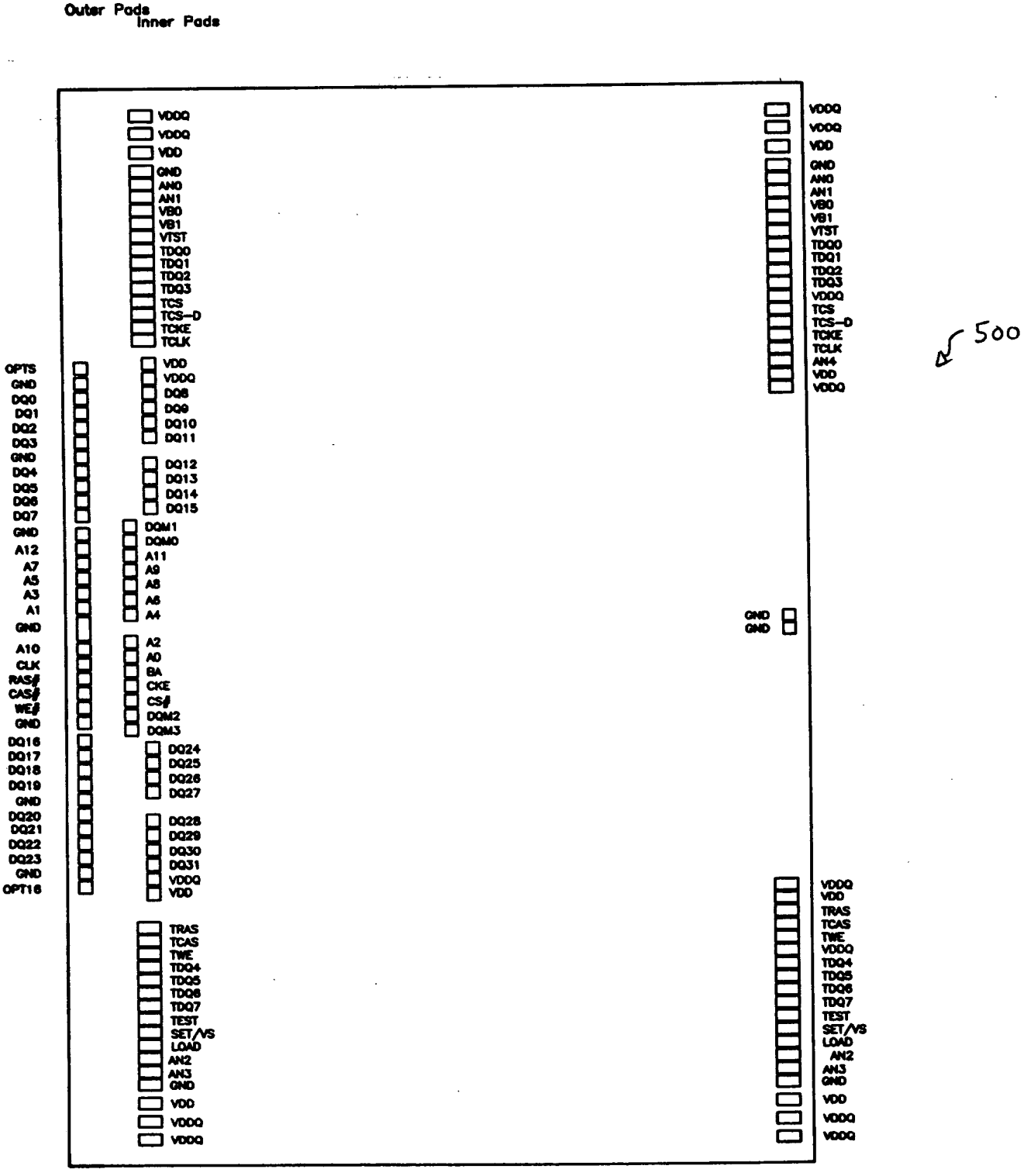

Outer Pads
Inner Pads
OPTS
GND
DQ0
DQ1
DQ2
DQ3
GND
DQ4
DQ5
DQ6
DQ7
GND
A12
A7
A5
A3
A1
GND
A10
CLK
RAS#
CAS#
WE#
GND
DQ16
DQ17
DQ18
DQ19
GND
DQ20
DQ21
DQ22
DQ23
GND
OPT16
VDDQ
VDDQ
VDD
GND
AN0
AN1
VB0
VB1
VTST
TDQ0
TDQ1
TDQ2
TDQ3
TCS
TCS-D
TCKE
TCLK
VDD
VDDQ
DQ8
DQ9
DQ10
DQ11
DQ12
DQ13
DQ14
DQ15
DQM1
DQM0
A11
A9
A8
A6
A4
A2
A0
BA
CKE
CS#
DQM2
DQM3
DQ24
DQ25
DQ26
DQ27
DQ28
DQ29
DQ30
DQ31
VDDQ
VDD
TRAS
TCAS
TWE
TDQ4
TDQ5
TDQ6
TDQ7
TEST
SET/VS
LOAD
AN2
AN3
GND
VDD
VDDQ
VDDQ
VDDQ
VDDQ
VDD
GND
AN0
AN1
VB0
VB1
VTST
TDQ0
TDQ1
TDQ2
TDQ3
VDDQ
TCS
TCS-D
TCKE
TCLK
AN4
VDD
VDDQ
GND
GND
VDDQ
VDD
TRAS
TCAS
TWE
VDDQ
TDQ4
TDQ5
TDQ6
TDQ7
TEST
SET/VS
LOAD
AN2
AN3
GND
VDD
VDDQ
VDDQ
500

FIG. 9E